

PAT-NO: JP358164232A
DOCUMENT-IDENTIFIER: JP 58164232 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: September 29, 1983

INVENTOR-INFORMATION:

NAME
BABA, HIROYUKI

ASSIGNEE-INFORMATION:

| | |
|--------------|---------|
| NAME | COUNTRY |
| TOSHIBA CORP | N/A |

APPL-NO: JP57046762

APPL-DATE: March 24, 1982

INT-CL (IPC): H01L021/58

US-CL-CURRENT: 148/33.3, 257/E21.505

ABSTRACT:

PURPOSE: To obtain the oxide-resisting base stand for the titled device at low cost by a method wherein, when the semiconductor substrate on which a semiconductor element was formed is soldered on an element providing base stand, the base stand consisting of the first metal layer having excellent bondability with Si, the second metal layer having Ni as a principal ingredient and also having excellent bondability with solder, the third metal layer consisting of Cu and the fourth metal layer of Ag of 5000Å or more in

thickness in the laminating order as above starting from the substrate side.

CONSTITUTION: The first metal layer 25, consisting of vanadium nickel-chromium alloy, chromium and the like and having excellent bondability with Si, is coated on the back side of the semiconductor substrate 9 whereon a semiconductor element is provided. Then, the second metal layer 26 of Ni, with which the bondability with solder can be improved, is formed on the layer 25 and the third metal layer 27 consisting of the Cu of several hundreds Å is coated on the layer 26. Thus, an eutectic crystal is generated by solidifying the Cu on the Ni used in the layer 26, the fourth metal layer 28, a high oxidization resisting property and excellent bondability with solder, is formed in the thickness of 5,000Å or above.

COPYRIGHT: (C)1983, JPO&Japio

⑨ 日本国特許庁 (JP) ⑪ 特許出願公開
⑩ 公開特許公報 (A) 昭58-164232

⑤Int. Cl.³
H 01 L 21/58

識別記号 庁内整理番号
6679-5F

⑥公開 昭和58年(1983)9月29日

発明の数 1
審査請求 未請求

(全 4 頁)

④半導体装置

②特 願 昭57-46762
②出 願 昭57(1982)3月24日
②發明者 馬場博之

⑦出願人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑧代理人 弁理士 鈴江武彦 外2名

姫路市余部区上余部50番地東京
芝浦電気株式会社姫路工場内

明細書

1. 発明の名称

半導体装置

2.特許請求の範囲

主面に半導体素子を形成した半導体基板の裏面に被着された上記半導体基板との接合性良好な金属材料からなる第1の金属層と、この第1の金属層に積層被着されたニッケル層またはニッケルを主成分とする合金層の第2の金属層と、この第2の金属層にさらに積層被着され素子配設基台に接着のためのろう層になる銅または銅を主成分とする合金からなる第3の金属層と、前記第3の金属層にさらに積層被着された少なくとも500.0 μ 以上の銀からなる第4の金属層とを具備し、この第4の金属層の面で素子配設基台に接着接合するようにした半導体装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、素子配設基台に取りつける半田付接着部を改良したトランジスタ、ICなどの

半導体装置に関する。.

〔発明の技術的背景およびその問題点〕

ICやトランジスタなどの半導体装置の組み立て過程における様子は、例えば第1図に示すようなものである。図において10は、ICやトランジスタなどの機能を有する半導体装置(半導体チップ)であり、この半導体装置10は接着剤、ろう材などにより、素子配設基台11上に取り付けられている。この素子配設基台11は、導出リードを兼ねるようになっていて、例えばトランジスタのコレクタ導出リードとなるもので、半導体装置10の基板部が電気的にも接続されるようになっている。

また、上記半導体装置10の例えばそれぞれエミッタ、ベース領域がマンディングワイヤ13、14を介して引き出され、導出リード15、16に接続されている。

このように組み立てられたものは、その後、半導体装置10や、マンディングワイヤ13、14の接続部を固むように樹脂モールドなどの

パッケージングが施され、適当な仕上げがされて、製品となる。

このような半導体装置において、電子配設基台11面と半導体装置10裏面が接合している様子を第2図に示す。ここに示すように、半導体装置10の裏面には複数の金属層17が形成されており、半導体装置10はこの複数の金属層17を介し、半田18により、金具側の電子配設基台11に接着している。

この複数の金属層17は、半導体装置10と電子配設基台11とを半田接続するために必要な半田付着部となるもので、従来より多く採用されている金属層17の構成には次のようなものがある。

まず、半導体装置10の基板裏面にシリコンと接着性の良いバナジウムVを第1層19として被着させ、半田と接合しやすくするために第2層20としてニッケルを積層接着させる。さらに第2層20のニッケルの酸化防止の目的で、最上層となる第3層21に金(Au)を積層接着させ

る、酸化に対しても安定で、半田との着目性(接合性)も良好な銀(Ag)を最上層に蒸着する方法が採られることが多い。

この場合も上記例と同様に3層の金属層が積層接着された構造を有するものであり、各層の被着目的は上述の例と同様である。この銀を用いた場合の金属層17の構成を各層の膜厚と共に次の第2表に示す。

<第2表>

| | 第1層 | 第2層 | 第3層 |
|------------|--------------|--------------|----------|
| 主な被着目的 | Siとの接着性 | 半田との接合性 | 第2層の酸化防止 |
| 従来例4 | NI-Cr 合 金 | NI | Au |
| 膜 厚 (Å) | 300 400 | 4000 8000 | 2000 |

上記のようなNI-Cr合金-NI-Ag構造のものはこれらの金属層を形成直後は半田接合性および耐酸化性とも良好で問題ない。

その他、電子配設部の金属層17として、第1層から第3層に使用される金属の組み合わせを前記例と共にまとめて次の表1に示す。

<表1>

| | 第1層 | 第2層 | 第3層 |
|------|--------------|---------|----------|
| 被着目的 | Siとの接着性 | 半田との接合性 | 第2層の酸化防止 |
| 従来例1 | V | NI | Au |
| 従来例2 | NI-Cr 合 金 | NI | Au |
| 従来例3 | Ti | Cu | Au |

上表で示したような構成の金属層17は、いずれも最上層すなわち第3層として金(Au)を使用する。このように金を使用した製品は、非常に高価なものとなる。

更って、金の代わりに、金よりもコストが安

しかし、水中に浸漬したり、100℃程度中に放置すると、その後半田接合性が著しく劣化する。例えば水中浸漬の場合、1~2時間程度で有意の劣化を起こす。

これは、第2層のニッケルと第3層の銀とが固相反応もせず、合金も作らず、その界面において化学的に結合していないためである。すなわち、第3層の銀層と第2層のニッケル層は單に接触しているだけで、第3図に示すように、第3層21の銀層におけるピンホール22を通じて水23が侵入すると、第2層20のニッケル層との境界面に水分子が侵入し、図の34で示すようなピンホール22直下周囲のニッケル層にまで酸化された部位が広がるからである。

実際の製造工程においては、裏面に上記の3層の金属層が蒸着された半導体ウェーハをブリートダイシング装置を用いてダイシングし、半導体チップ化するが、このダイシング中に水を使用するために、半導体装置10の配設部となる金属層17の劣化が著しく早く生じていた。

〔発明の目的〕

この発明は以上のような点に鑑みなされたもので、高価な金を使用せずに、酸化に強く、半田接続性も良好な配設部となる金属層を有する半導体装置を提供しようとするものである。

〔発明の概要〕

すなわち、この発明に係る半導体装置は、配設部となる半導体チップ裏面に対し半導体基板側から順に、シリコンとの接着性の良好な金属による第1の金属層、半田との接合性のよいニッケルを主成分とする第2の金属層、銅による第3の金属層および約5000Å以上の厚さの銀による第4の金属層とが積層被着された複合金属層を有するものである。

〔発明の実施例〕

以下図面に従って、この発明の一実施例につき説明する。なお、前述の第1図～第3図と同一構成には同一符号を付して説明を省略する。

まず、第4図において半導体基板9裏面にはシリコンと接着性の良い金属、例えばパナジウム

上記のような4層の金属層を裏面の電子配設部に備えた半導体装置においては、各金属層間の界面で、互いの金属が固相拡散した状態となっており、接合強度が充分に高く、密着したものとなっている。従って、半導体装置を水中浸漬しても、銀層下の銅およびニッケルの各層間に水が侵入することがなく、銀層のピンホール下の銅およびニッケル層から酸化が広がるおそれはない。さらに、銀層自身も充分に厚いため、ピンホールの数も従来より少ないものであり、銀の耐酸化性と半田との接合性を充分に生かすことができる。

また、前述のように銀層の膜厚を厚くするのに伴い、銀の使用量が増加する。しかし、銀の価格は金の約1/30程度であり、従来金を1000～3000Å被着していたものを、5000Å～~~10000~~～~~4000~~Åの銀層としても価格は1/10以下にすことができ、価格的に充分見合うもので製品のコスト設定も容易となる。

ム、チタン、ニッケルクロム合金、およびクロムのいずれかの金属を被着し、第1の金属層25を形成する。

次に、第1の金属層25上に半田との接合性を良くするために、ニッケルを積層被着して第2の金属層26を形成する。

さらにその上に、銅を数百Åの膜厚で被着し、第3の金属層27とする。この銅は、第2の金属層26で用いられたニッケルと全率固溶し、また銀とも固溶体および共晶を容易に作る。次にこの第3の金属層27上に、耐酸化性にも優れ、半田との接着性も良い銀を第4の金属層28として積層被着する。この場合この銀によると第4の金属層28(以下銀層とする)が2000Å以下の厚みであるとすると、銅が銀層の表面に拡散してしまい、この銅の酸化によって、半田との接着性が劣化するおそれがある。しかし、銀層を5000Å以上にすれば、銅が表面にまで拡散することなく、半田との接着性を良好に保つことができる。

〔発明の効果〕

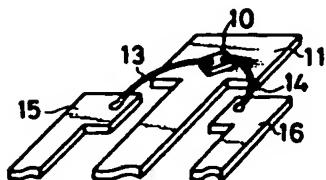
以上のように、この発明によれば、酸化に対しても安定で、しかも半田との接着性が良好なものとし、且つ金を用いるものより価格的に充分安くすることのできる半田付着部を有する半導体装置を提供することができる。

4. 図面の簡単な説明

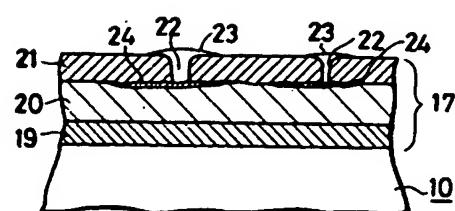
第1図は組み立て過程中の半導体装置を示す斜示図、第2図は従来の半導体装置の電子配設基台への接続状態を説明する断面図、第3図は従来の半導体装置の配設部を拡大して示す断面図、第4図はこの発明の一実施例に係る半導体装置の配設部を示す断面図である。

10…半導体装置、11…電子配設基台、17…金属層、18…半田、25…第1の金属層、26…第2の金属層、27…第3の金属層、28…第4の金属層。

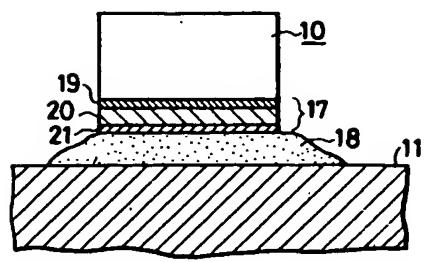
第1図



第3図



第2図



第4図

